

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06318673

(43)Date of publication of application: 15.11.1994

(51)Int.Cl.

H01L 27/04

(21)Application number: 05143643

(71)Applicant:

ASAHI KASEI MICRO SYST KK

(22)Date of filing: 15.06.1993

(72)Inventor:

KAYANUMA YOSHIO  
IKI YASUSHI

(56)Priority

Priority number: 04155335 Priority date: 15.06.1992 Priority country: JP

05 38233

26.02.1993

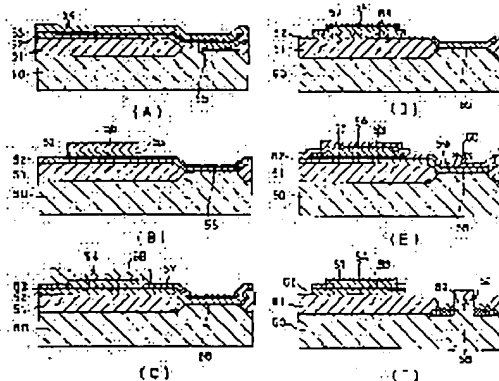
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device suitable to an analog circuit, and a manufacturing method of the semiconductor device.

CONSTITUTION: A field oxide layer 51 and a gate oxide layer 55 are formed on a semiconductor substrate 50. A first polycrystalline silicon layer 52 is deposited. Thereon an interlayer insulating layer 53 is formed. Thereon a second polycrystalline silicon layer 54 is formed and etched, so as to leave a part turning to the upper electrode layer of a capacitor. A first mask body 57 covering the upper electrode layer and its side surface is selectively stuck. After a metal silicide layer 59 is formed, a second mask body 60 is formed on a part turning to the gate electrode of an MOS transistor. By etching the first polycrystalline silicon layer and the metal silicide layer, a capacitor constituted of a gate electrode composed of lamination structure of the polycrystalline silicon layer and the metal silicide layer, an electrode of the polycrystalline silicon layer, and the interlayer insulating layer 53 of the silicon-oxide layer 57 is formed.



[Date of request for examination] 24.06.1998  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of  
rejection]  
[Date of requesting appeal against examiner's decision  
of rejection]  
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

---

[MENU](#)

[SEARCH](#)

[INDEX](#)

---

(19) 日本国特許庁 (JP)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 3 1 8 6 7 3

(43) 公開日 平成 6 年 (1994) 11 月 15 日

(51) Int. Cl.<sup>5</sup>

H 0 1 L 27/04

識別記号

庁内整理番号

F. I

技術表示箇所

C 8427-4 M

P 8427-4 M

審査請求 未請求 請求項の数 7

O L

(全 10 頁)

(21) 出願番号 特願平 5 - 1 4 3 6 4 3

(22) 出願日 平成 5 年 (1993) 6 月 15 日

(31) 優先権主張番号 特願平 4 - 1 5 5 3 3 5

(32) 優先日 平 4 ( 1 9 9 2 ) 6 月 1 5 日

(33) 優先権主張国 日本 ( J P )

(31) 優先権主張番号 特願平 5 - 3 8 2 3 3

(32) 優先日 平 5 ( 1 9 9 3 ) 2 月 2 6 日

(33) 優先権主張国 日本 ( J P )

(71) 出願人 594021175

旭化成マイクロシステム株式会社  
東京都渋谷区代々木 1 丁目 24 番 10 号

(72) 発明者 ▲かや▼沼 祥郎

神奈川県厚木市棚沢 221 番地 旭化成マイ  
クロシステム株式会社内

(72) 発明者 壹岐 康司

神奈川県厚木市棚沢 221 番地 旭化成マイ  
クロシステム株式会社内

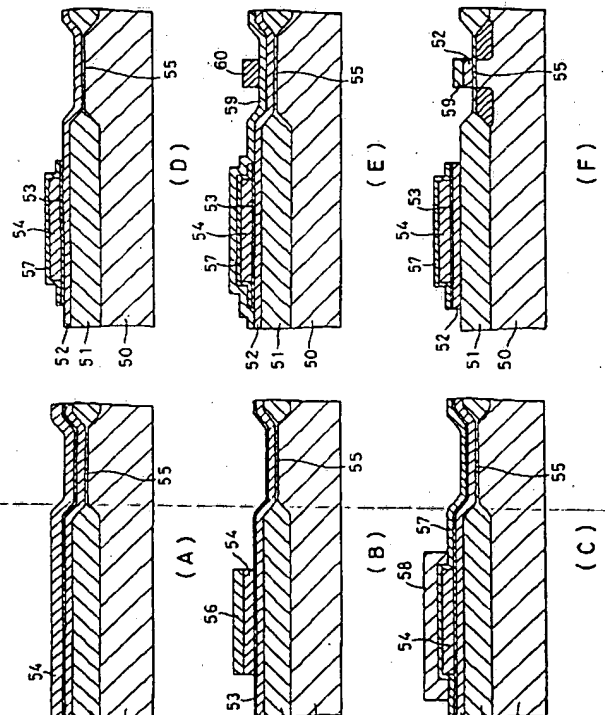
(74) 代理人 弁理士 谷 義一 (外 1 名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 アナログ回路に適した半導体装置およびその製造方法を提供する。

【構成】 半導体基板 50 上にフィールド酸化層 51 およびゲート酸化層 55 を形成し、第 1 の多結晶シリコン層 52 を堆積して、その上に層間絶縁層 53 を形成し、この絶縁層上に第 2 の多結晶シリコン層 54 を形成し、キャパシタの上部電極層となる部分を残して第 2 の多結晶シリコン層をエッチングし、上部電極層およびその側面を覆う第 1 のマスク体 57 を選択的に被着する。次いで金属シリサイド層 59 を形成した後、MOS トランジスタのゲート電極となる部分に第 2 のマスク体 60 を形成し、第 1 の多結晶シリコン層と金属シリサイド層をエッチングし、多結晶シリコン層と金属シリサイド層との積層構造からなるゲート電極と多結晶シリコン層の電極およびシリコン酸化層 57 の層間絶縁層 53 からなるキャパシタを形成する。



## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

前記半導体基板上に設けられ、多結晶シリコン層と金属シリサイド層とからなるゲート電極を有するMOSトランジスタと、

下部電極を形成している第1の多結晶シリコン層と層間絶縁層と、上部電極層を形成している第1の多結晶シリコン層とからなるキャパシタとを具備したことを特徴とする半導体装置。

## 【請求項2】 半導体基板と、

前記半導体基板上に設けられ、多結晶シリコン層と金属シリサイド層とからなるゲート電極を有するMOSトランジスタと、

下部電極を形成している第1の多結晶シリコン層と層間絶縁層と、上部電極層を形成している第1の多結晶シリコン層とからなるキャパシタと、  
多結晶シリコン層単層からなる抵抗体とを具備したことを特徴とする半導体装置。

【請求項3】 多結晶シリコンにより構成されるキャパシタの下部電極は、不純物濃度がその周辺部の不純物濃度より相対的に低く、かつシート抵抗値が $30 \sim 1000 \Omega/\square$ の範囲であることを特徴とする半導体装置。

【請求項4】 半導体基板上にフィールド酸化層およびゲート酸化層を形成し、第1の多結晶シリコン層を堆積して、前記第1の多結晶シリコン層上に絶縁層を形成し、前記絶縁上に第2の多結晶シリコン層を形成し、キャパシタの上部電極層となる部分を残して前記第2の多結晶シリコン層をエッチングし、前記上部電極層およびその側面を覆う第1のマスク体を選択的に被着し、次いで金属シリサイドを層を形成した後、MOSトランジスタのゲート電極となる部分に第2のマスク体を形成し、前記第1の多結晶シリコン層と前記金属シリサイド層をエッチングし、  
多結晶シリコン層と金属シリサイド層との積層構造からなるゲート電極と多結晶シリコン層の電極およびシリコン酸化層の層間絶縁層からなるキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上にフィールド酸化層およびゲート酸化層を形成し、第1の多結晶シリコン層を堆積して、前記第1の多結晶シリコン層上に絶縁層を形成し、前記絶縁上に第2の多結晶シリコン層を形成し、キャパシタの上部電極層となる部分を残して前記第2の多結晶シリコン層をエッチングし、前記上部電極層およびその側面と多結晶シリコン層単層の抵抗体となる部分とを覆う第1のマスク体を選択的に被着し、  
次いで金属シリサイドを層を形成した後、MOSトランジスタのゲート電極となる部分に第2のマスク体を形成し、前記第1の多結晶シリコン層と前記金属シリサイド層をエッチングし、

なるゲート電極と多結晶シリコン層の電極およびシリコン酸化層の層間絶縁層からなるキャパシタと多結晶シリコン層単層からなる抵抗体とを形成することを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に形成された酸化層上に第1の多結晶シリコン層を形成する工程と、

前記第1の多結晶シリコン層に対して不純物を拡散して該第1の多結晶シリコン層のシート抵抗値を $30 \sim 1000 \Omega/\square$ の範囲内に制御する工程と、

10 該シート抵抗制御工程後の第1の多結晶シリコン層上に絶縁層を介してキャパシタの上部電極となる第2の多結晶シリコン層を形成する工程と、

前記第2の多結晶シリコン層をパターニングして、ユニットキャパシタの上部電極を形成する工程と、

該パターニングにより残された前記第2の多結晶シリコン層をマスクとして前記第1の多結晶シリコン層に対してさらに不純物を拡散することにより、前記第2の多結晶シリコン層の下側の第1の多結晶シリコン層であってシート抵抗値の制御された第1の多結晶シリコン層を除いた他の部分の不純物濃度を上げる工程と、

20 前記第1の多結晶シリコン層をパターニングしてゲートおよびユニットキャパシタの下部電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上に形成された酸化層上に第1の多結晶シリコン層を形成する工程と、

前記第1の多結晶シリコン層に対して不純物を拡散して該第1の多結晶シリコン層のシート抵抗値を $30 \sim 1000 \Omega/\square$ の範囲内に制御する工程と、

30 前記第1の多結晶シリコン層に対してパターニングを施し、ゲートおよびキャパシタの下部電極を形成する工程と、

該パターニング工程によりパターニングされた前記第1の多結晶シリコン層上に層間絶縁層を形成した後に、該層間絶縁層上にキャパシタの上部電極となる第2の多結晶シリコン層を形成する工程と、

前記第2の多結晶シリコン層をパターニングする工程と、

40 該第2の多結晶シリコン層に対して不純物を拡散して前記第2の多結晶シリコン層の下側の第1の多結晶シリコン層であってシート抵抗値の制御された第1の多結晶シリコン層を除いた他の部分の不純物濃度を上げる工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置およびその製造方法に関し、さらに詳しくは多結晶シリコン層（膜）で形成されるキャパシタの電極やMISFETのゲート等のようなアナログ回路に好適な半導体装置とその製造方法に関するものである。

【従来の技術】近年、半導体集積装置は微細化が非常に進んでいる。このような微細化に伴い、素子に用いられるゲートや配線の線幅が小さくなっている。ゲートの線幅が小さくなることにより生じるショートチャネル効果を経減するものとして、特公昭62-31506号公報には、TEOS（テトラエトキシシラン）の熱分解等によるCVD（Chemical Vapor Deposition）により絶縁層を形成し、異方性ドライエッチングによりサイドウォールを形成し、ソースおよびドレインを2重構造とする、いわゆるLDD（Lightly Doped Drain）構造が記載されている。

【0003】また、微細化に伴うゲートや配線の線幅が小さくなるため、抵抗が高くなって信号の伝達特性が遅くなるという問題が生じた。このような問題を解決するために、米国特許第4,392,299号公報明細書には多結晶シリコン上にシリサイドを積層して低抵抗のゲートや配線を形成することが記載されている。

【0004】

【発明が解決しようとする課題】ところが、アナログ回路では抵抗素子やキャパシタが多用されており、上述のような低抵抗の多結晶シリコン層とシリサイド層の積層構造による配線で高抵抗の抵抗素子を形成すると、配線を長くする必要があり、チップ面積の増大を招いてしまうという問題があった。

【0005】図2は、一般的なスイッチドキャパシタフィルタ（以下、SCFと略す）の構成を示す回路図である。図2においてC1およびC2はそれぞれ複数のユニットキャパシタの集合体として構成されている。このユニットキャパシタを有する半導体装置の製造方法の一例を図3を参照して説明する。

【0006】まず、図3（A）に示すように、半導体基板1の上にフィールド酸化層2を形成した後、このフィールド酸化層2の上に第1の多結晶シリコン層（ポリシリコン層）3を例えばSiH<sub>4</sub>ガスの熱分解などにより堆積する。次に、低抵抗化のために第1の多結晶シリコン層3に対してPOCl<sub>3</sub>等の拡散法により不純物としてのリンを高濃度に拡散し、ヘビードープ層H<sub>1</sub>とする。ヘビードープ層H<sub>1</sub>とされた第1の多結晶シリコン層3の上には、図3（B）に示すようにトランジスタ形成領域Aおよびキャパシタ形成領域Bにそれぞれレジスト8を設けた後、第1の多結晶シリコン層3に対して例えばフォトリソグラフィおよびエッチングによりパターンニングを施しゲート電極3A（H<sub>1</sub>）およびキャパシタ下部電極3B（H<sub>2</sub>）を形成する（図3（C）参照）。なお、図3において10はゲート酸化層である。

【0007】次に、このヘビードープ層H<sub>1</sub>の上に、図3（D）に示すように例えば熱酸化あるいはCVD法等により層間絶縁層4を被着する。その上に第2の多結晶

の第2の多結晶シリコン層5に対して第1の多結晶シリコン層3に対するドーピングと同様な方法によってリンを高濃度に拡散し、これも低抵抗化のためにヘビードープ層H<sub>2</sub>とする（図3（F）参照）。次に、図3（G）に示すようにヘビードープ層H<sub>2</sub>とされた第2の多結晶シリコン層5の上にレジスト9を設けた後、第2の多結晶シリコン層5に対して例えばフォトリソグラフィによりパターンニングを施す（図3（H）参照）。

【0008】また、図4は、第2の多結晶シリコン層5を先にパターンニングした後に第1の多結晶シリコン層3をパターンニングする例である。上述した製造方法では、ゲート電極やポリ抵抗（図中に記載なし）を低抵抗化するため、第1の多結晶シリコン層の不純物濃度が高くなる。そのため、第1の多結晶シリコン層で形成されるキャパシタ下部電極ではそのドーピング中あるいは後の熱工程において層3の内部に結晶粒が成長し、層表面に凹凸が生じてしまう。このような凹凸表面の多結晶シリコン層上に形成されるユニットキャパシタは、その比精度が低下する。この比精度は、図2におけるキャパシタC<sub>1</sub>とC<sub>2</sub>の比であって、例えば積分器の特性を決定し、SCFの特性をも決定するものである。したがって、比精度の低いキャパシタから構成されたSCFの特性がばらつくという不都合があった。

【0009】さらに、ゲート酸化層やキャパシタの層間絶縁層は、シリサイド等から不純物が混入することによって耐圧の低下等を生じるために、ゲート酸化層やキャパシタの層間絶縁層の形成を金属シリサイド層の形成後に行うと信頼性を損なうという問題があった。また、ゲート酸化層とキャパシタの層間絶縁層は独立に形成することにより、それぞれの層に適した酸化方法を用いたいという要望もあった。

【0010】

【発明が解決しようとする課題】以上の点に鑑み、本発明はアナログ回路に好適な半導体装置およびその製造方法を提供することを課題とする。特に、比精度の高いキャパシタと低抵抗な多結晶シリコンゲート電極および抵抗体を有し、かつ量産性の高い半導体装置およびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】

（1）上記課題を解決するために、請求項1に従う本発明の半導体装置は、半導体基板と、前記半導体基板上に設けられ、多結晶シリコン層と金属シリサイド層とからなるゲート電極を有するMOSトランジスタと、下部電極を形成している第1の多結晶シリコン層と層間絶縁層と、上部電極層を形成している第1の多結晶シリコン層とからなるキャパシタとを具備したことを特徴とする。

【0012】（2）上述した（1）の半導体装置において、半導体基板と、前記キャパシタは絶縁層によって前

【0013】(3) 上述した(1)の半導体装置において、前記金属シリサイドは $WSi$ 、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 、 $CoSi_2$ から選択された少なくとも1以上の層からなるものであってもよい。

【0014】(4) 上述した(1)の半導体装置において、前記層間絶縁層が $SiO_2$ であってもよい。

【0015】(5) 上述した(2)の半導体装置において、前記絶縁層は $SiO_2$ であってもよい。

【0016】(6) 上述した(2)の半導体装置において、前記絶縁層は $SiN$ であってもよい。

【0017】(7) 上述した(1)の半導体装置において、前記第1の多結晶シリコン層のシート抵抗値が $30 \sim 1000 \Omega/\square$ の範囲であってもよい。

【0018】(8) 上述した(1)の半導体装置において、前記キャパシタはユニットキャパシタであってもよい。

【0019】(9) 上述した(1)の半導体装置において、下部電極層部分の抵抗が他の多結晶シリコン層の抵抗より高くてもよい。

【0020】(10) 請求項2に従う本発明の半導体装置は、半導体基板と、前記半導体基板上に設けられ、多結晶シリコン層と金属シリサイド層とからなるゲート電極を有するMOSトランジスタと、下部電極を形成している第1の多結晶シリコン層と層間絶縁層と、上部電極層を形成している第1の多結晶シリコン層とからなるキャパシタと、多結晶シリコン層単層からなる抵抗体とを具備したことを特徴とする。

【0021】(11) 請求項3に従う本発明の半導体装置は、多結晶シリコンにより構成されるキャパシタの下部電極は、不純物濃度がその周辺部の不純物濃度より相対的に低く、かつシート抵抗値が $30 \sim 1000 \Omega/\square$ の範囲であることを特徴とする。

【0022】(12) 請求項4に従う本発明の半導体装置の製造方法は、半導体基板上にフィールド酸化層およびゲート酸化層を形成し、第1の多結晶シリコン層を堆積して、前記第1の多結晶シリコン層上に絶縁層を形成し、前記絶縁上に第2の多結晶シリコン層を形成し、キャパシタの上部電極層となる部分を残して前記第2の多結晶シリコン層をエッチングし、前記上部電極層およびその側面を覆う第1のマスク体を選択的に被着し、次いで金属シリサイドを層を形成した後、MOSトランジスタのゲート電極となる部分に第2のマスク体を形成し、前記第1の多結晶シリコン層と前記金属シリサイド層をエッチングし、多結晶シリコン層と金属シリサイド層との積層構造からなるゲート電極と多結晶シリコン層の電極およびシリコン酸化層の層間絶縁層からなるキャパシタを形成することを特徴とする。

【0023】(13) 上述した(12)の半導体の製造方法において、前記第1のマスク体は絶縁層であつても

【0024】(14) 上述した(13)の半導体の製造方法において、前記第1のマスク体はCVDにより形成される $SiO_2$ であつてもよい。

【0025】(15) 上述した(13)の半導体の製造方法において、前記第1のマスク体はCVDにより形成される $SiN$ であつてもよい。

【0026】(16) 上述した(12)の半導体の製造方法において、前記金属シリサイドは $WSi$ 、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 、 $CoSi_2$ から選択された少なくとも1以上の層からなるものであつてもよい。

【0027】(17) 上述した(12)の半導体の製造方法において、前記第1の多結晶シリコン層にシート抵抗値が $30 \sim 1000 \Omega/\square$ となるように不純物を拡散してもよい。

【0028】(18) 請求項5に従う本発明の半導体装置の製造方法は、半導体基板上にフィールド酸化層およびゲート酸化層を形成し、第1の多結晶シリコン層を堆積して、前記第1の多結晶シリコン層上に絶縁層を形成し、前記絶縁上に第2の多結晶シリコン層を形成し、キャパシタの上部電極層となる部分を残して前記第2の多結晶シリコン層をエッチングし、前記上部電極層およびその側面と多結晶シリコン層単層の抵抗体となる部分とを覆う第1のマスク体を選択的に被着し、次いで金属シリサイドを層を形成した後、MOSトランジスタのゲート電極となる部分に第2のマスク体を形成し、前記第1の多結晶シリコン層と前記金属シリサイド層をエッチングし、多結晶シリコン層と金属シリサイド層との積層構造からなるゲート電極と多結晶シリコン層の電極およびシリコン酸化層の層間絶縁層からなるキャパシタと多結晶シリコン層単層からなる抵抗体とを形成することを特徴とする。

【0029】(19) 上述した(18)の半導体の製造方法において、前記第2の多結晶シリコン層をエッチングすると共に、前記第1の多結晶シリコン層上の絶縁層をエッチングし、次いで不純物を拡散して前記第2の多結晶シリコン層と前記第2の多結晶シリコン層に覆われていない前記第1の多結晶シリコン層との抵抗を下げてよい。

【0030】(20) 請求項6に従う本発明の半導体装置の製造方法は、半導体基板上に形成された酸化層上に第1の多結晶シリコン層を形成する工程と、前記第1の多結晶シリコン層に対して不純物を拡散して該第1の多結晶シリコン層のシート抵抗値を $30 \sim 1000 \Omega/\square$ の範囲内に制御する工程と、該シート抵抗制御工程後の第1の多結晶シリコン層上に絶縁層を介してキャパシタの上部電極となる第2の多結晶シリコン層を形成する工程と、前記第2の多結晶シリコン層をパターンニングして、ユニットキャパシタの上部電極を形成する工程と、該パターンニングにより残された前記第2の多結晶シリコ

てさらに不純物を拡散することにより、前記第2の多結晶シリコン層の下側の第1の多結晶シリコン層であってシート抵抗値の制御された第1の多結晶シリコン層を除いた他の部分の不純物濃度を上げる工程と、前記第1の多結晶シリコン層をパターンニングしてゲートおよびユニットキャパシタの下部電極を形成する工程とを含むことを特徴とする。

【0031】(21)請求項7に従う本発明の半導体装置の製造方法は、半導体基板上に形成された酸化層上に第1の多結晶シリコン層を形成する工程と、前記第1の多結晶シリコン層に対して不純物を拡散して該第1の多結晶シリコン層のシート抵抗値を $30 \sim 1000 \Omega/\square$ の範囲内に制御する工程と、前記第1の多結晶シリコン層に対してパターンニングを施し、ゲートおよびキャパシタの下部電極を形成する工程と、該パターンニング工程によりパターンニングされた前記第1の多結晶シリコン層上に層間絶縁層を形成した後に、該層間絶縁層上にキャパシタの上部電極となる第2の多結晶シリコン層を形成する工程と、前記第2の多結晶シリコン層をパターンニングする工程と、該第2の多結晶シリコン層に対して不純物を拡散して前記第2の多結晶シリコン層の下側の第1の多結晶シリコン層を除いた他の部分の不純物濃度を上げる工程とを含むことを特徴とする。

#### 【0032】

【作用】例えばシリコン基板等の半導体基板上に素子間分離のためのフィールド酸化層を形成する。この半導体基板のフィールド酸化層が形成されていない部分にゲート酸化層を形成し、このゲート酸化層とフィールド酸化層上に第1の多結晶シリコン層を形成し、不純物として例えばリンを拡散する。この第1の多結晶シリコン層の表面を例えば酸化雰囲気中での熱酸化により酸化するか、あるいはCVDにより $\text{SiN}$ や $\text{SiO}_2$ の絶縁層を形成し、この絶縁層上に、同様にして、第2の多結晶シリコン層を形成する。不純物として例えばリンを拡散する。例えば、レジストを用いてキャパシタの上部電極となる部分を残して上述した第2の多結晶シリコン層をエッチングし、上述した上部電極層およびその側面を覆う第1のマスク体を選択的に被着する。第1のマスク体はCVDにより形成される $\text{SiN}$ や $\text{SiO}_2$ の絶縁層を用いることができる。

【0033】次いで、金属シリサイド層を形成した後、MOSトランジスタのゲート電極となる部分にレジスト等の第2のマスク体を形成し、上述した第1の多結晶シリコン層と金属シリサイド層をエッチングする。金属シリサイドとしては、高融点金属シリサイド、例えばタンゲステンシリサイド( $\text{WSi}$ )、モリブデンシリサイド( $\text{MoSi}_2$ )、チタンシリサイド( $\text{TiSi}_2$ )、タantalシリサイド( $\text{TaSi}_2$ )、コバルトシリサイド

らなる層を使用できる。

【0034】このようにして、同一基板上に、多結晶シリコンと金属シリサイドとの積層構造(第1の導電層)からなるゲート電極を有するMOSトランジスタと、多結晶シリコンの単層構造(第2の導電層)からなる抵抗素子とを備えた半導体装置が得られる。

【0035】同様に、同一半導体基板上に多結晶シリコン層と金属シリサイド層との積層構造からなるゲート電極と、多結晶シリコン層の電極およびシリコン酸化層の層間絶縁層からなるキャパシタを得ることができる。このため、配線部分やゲート電極部分は低抵抗となり、キャパシタ部分は耐圧が高い上に比精度が高くなる。

【0036】第1の多結晶シリコン層にシート抵抗値が $30 \sim 1000 \Omega/\square$ となるように不純物を拡散すると、その電極部分でのシリコン結晶粒の成長を抑制できることから、電極表面の凹凸の発生を減少させることができる。このため、ユニットキャパシタの比精度を低下させることがない。

【0037】また、上部電極層およびその側面を第1のマスク体によって覆うと共に、多結晶シリコン層単層の抵抗体となる部分を覆うことにより、多結晶シリコン層と金属シリサイド層との積層構造からなるゲート電極と多結晶シリコン層の電極およびシリコン酸化層の層間絶縁層からなるキャパシタと多結晶シリコン層単層からなる抵抗体とを形成することができる。従って、上述のキャパシタおよびゲート電極に加え、高抵抗の抵抗素子を形成することができ、チップサイズを小さくすることができる。

【0038】さらに、第2の多結晶シリコン層をエッチングすると共に、第1の多結晶シリコン層上の絶縁層をエッチングし、次いで不純物を拡散して第2の多結晶シリコン層と第2の多結晶シリコン層に覆われていない第1の多結晶シリコン層との抵抗を下げることにより、第2の多結晶シリコン層をドーピングする際、第1の多結晶シリコン層で形成されるゲート電極および抵抗体も低抵抗化される。従って、本発明により、ゲート電極等を低抵抗に保ったままユニットキャパシタの比精度を低下させることなく、SCFの性能を向上させることが可能となる。

【0039】また、本発明は、第1、第2の多結晶シリコン層に対するドーピングを熱拡散法にて処理するため、量産性を維持したまま実施可能である。

#### 【0040】

【実施例】以下、図面を参照して本発明の実施例を説明する。なお、全図を通して同じものには同一の番号を付与し、繰り返しの説明は省略する。

【0041】(実施例1)図1は本発明の他の実施例に従う半導体装置の製造方法の工程を示す工程図であり、CMOSアナログ回路で重要なキャパシタを形成する例

に優れた多結晶シリコンを両電極としシリコンの酸化層を層間絶縁層としたキャパシタを用いることが望ましい。従って、本実施例では、上記の層間絶縁層を、高速性に優れた高融点金属シリサイド層を配線およびゲート材料として用いたMOSトランジスタと同一基板上に実現する方法を提供するものである。なお、アルミニウム等の配線やパッシベーション層等は省略して示している。

【0042】図1において、50は半導体基板、51はフィールド酸化層、55はゲート酸化層、52は第1の多結晶シリコン層、53は層間絶縁層、54は第2の多結晶シリコン層、56はレジスト、57は第1のマスク体となる絶縁層、58は第1のマスク体を形成するためのレジスト、59は金属シリサイド層、60は第2のマスク体である。

【0043】図1(A)において、公知の方法でシリコン基板50の表面にフィールド酸化層51を形成し、アクティブ領域に第1の絶縁層としてゲート酸化層55を例えば250Åの厚さに形成する。さらに、多結晶シリコン層52をLPCVD (Low Pressure Chemical Vapor Deposition) 等で例えば3000Åの厚さに形成する。この多結晶シリコン層52はキャパシタの下部電極となると共に、ゲートや配線に使用される高融点金属シリサイド層と多結晶シリコン層の積層構造の下部側となる。次いで、多結晶シリコン層52に不純物としてリンを気相拡散法によりドーピングする。

【0044】次に、酸化雰囲気中で、多結晶シリコン層52の表面を熱酸化して第2の絶縁層である層間絶縁層53を形成する。層間絶縁層53の厚さは例えば450Åである。

【0045】さらに、層間絶縁層53上に多結晶シリコン層54を形成し、リンをドーピングする。この多結晶シリコン層54は、キャパシタの上部電極となる部分である。形成条件は、多結晶シリコン層52の形成条件と同じでよい。

【0046】次に、図1(B)に示すように、キャパシタの上部電極となるべき部分にレジスト56を形成し、多結晶シリコン層54をエッチングする。

【0047】次に、レジスト56を除去した後、図1(C)に示すように、TEOS (テトラエトキシシラン) の熱分解によるシリコン酸化層57を例えば1000Åの厚さに形成して第3の絶縁層とする。この第3の絶縁層としてのシリコン酸化層57は、多結晶シリコン層52とエッチングの選択比が十分大きいものであればよく、シリコン酸化層57の代わりに例えば窒化シリコンでもよい。

【0048】さらに、シリコン酸化層57上に多結晶シリコン層52のうちキャパシタの下部電極となるべき部

層間絶縁層53をエッチングし、次いでこのレジスト58を除去して、図1(D)に示すように第1のマスク体57が形成される。第1のマスク体57は上部電極層となる第2の多結晶シリコン層の上面およびその側面を覆うように被着されている。この第2のマスク体は、後述するように金属シリサイド層をエッチングする際のマスクとなると共に、金属シリサイド層をエッチングする際に飛翔する金属粒子による汚染を防止するものである。さらに、上部電極と下部電極の短絡防止の役目を果たす。また、図示しないが、第1の多結晶シリコン層54のうち、抵抗素子となる部分の上部に第1のマスク体57、すなわちシリコン酸化層57を選択的に残すことにより、当該部分を高抵抗の抵抗素子とすることができ

る。

【0049】次に、図1(E)に示すように、タングステンシリサイド層59を例えば2000Åに形成する。さらに、多結晶シリコン層とタングステンシリサイド層との積層構造となるべき部分に第2のマスク体であるレジスト60を形成し、プラズマエッチング法を用いてタングステンシリサイドと多結晶シリコンをエッチングする。このとき、レジスト60の部分は、エッチングされず、多結晶シリコン層と金属シリサイド層との積層構造となる。この積層構造は、MOSトランジスタのゲート電極となる。

【0050】また、シリコン酸化層57の部分は、その上のタングステンシリサイドがエッチングされるが、シリコン酸化層57の下部の多結晶シリコン層52、層間絶縁層53、多結晶シリコン層54は、シリコン酸化層57がマスクとして機能し、多結晶シリコン層52および54と層間絶縁層53からなるキャパシタを形成することができる。さらに、第1の多結晶シリコン層52の上に形成されたマスク体により当該部分はタングステンシリサイドが被着されない高抵抗領域となり、抵抗素子として用いることができる。

【0051】次いで、ゲート電極をマスクとしてアクティブ領域に不純物を拡散させてソース・ドレイン拡散層を形成する(図1(F)参照)。

【0052】このようにして得られた本実施例によるキャパシタは、その層間絶縁層が他の層、例えばゲート酸化層とは別個に形成することができるので、多結晶シリコンを酸化するのに適した条件で行うことができると共に、金属(W)シリサイド形成以前に行うため金属シリサイドの汚染を防ぐことができ、高信頼性の層間絶縁層とすることができる。

【0053】また、トランジスタはそのゲート部分がタングステンシリサイド層と多結晶シリコン層からなる積層構造となって、低抵抗で高速動作することができ、またゲート酸化層は多結晶シリコン層や金属(W)シリサイド層を形成する前に、独立に形成することができるの



る。

【0054】以上のように、本実施例によれば、ゲート酸化層とキャパシタの層間絶縁層を多結晶シリコン層や金属シリサイド層を形成する前に形成することができ、また、第1のマスク体が上部電極の上面および側面を覆っているため、金属シリサイドのエッチングの際の汚染を防ぐことができると共に、上部電極の不要なエッチングを防止することができる。

【0055】なお、本実施例では層間絶縁層を熱酸化により形成したが、CVDで形成してもよい。

【0056】(実施例2) 本実施例は、図1に示した従来の半導体装置の製造方法にほぼそのまま対応している。但し、本実施例は、第1の多結晶シリコン層52内へのリンドーピング量を特定の値に制御する結果、そのシート抵抗値を30~1000Ω/□、好ましくは35~1000Ω/□の範囲に制御して、その第1の多結晶シリコン層52をライトドープ層L<sub>1</sub>とする工程を行う点および第2の多結晶シリコン層54に対するドーピングをパターンニング後に行う点で従来法と異なる。

【0057】上記のシート抵抗値制御工程について説明すると、層厚3500Åの第1の多結晶シリコン層52を形成した後、第1の多結晶シリコン層52に対して特定条件でドーピングを行う。このドーピングは、例えばN<sub>2</sub>ガス(5リットル/分)、O<sub>2</sub>ガス(0.5リットル/分)およびPOCl<sub>3</sub>ガス(120mg/分)からなる混合ガスを、温度1000℃程度に加熱した反応室内に導入して4分間行う。この条件に従うことにより、第1の多結晶シリコン層52のシート抵抗値を上述の特定範囲内に制御することができる。この特定範囲のシート抵抗値を示す多結晶シリコン層では、ドーピング中の熱あるいは後の熱工程での熱に晒されても層内部において結晶粒が発生することがないため、層表面に凹凸部分を生じることがない。

【0058】上記第1の多結晶シリコン層52に対するシート抵抗値制御の工程の後には、図1(B)に示すように、不純物(ドーパント)が拡散されていないノンドープの第2の多結晶シリコン層54上にレジスト56を設けて第2の多結晶シリコン層54に対してパターンニングを施す。このときその下側の層間絶縁層53に対してパターンニングしてもよい。次に、第2の多結晶シリコン層54に覆われていない第1の多結晶シリコン層52の露出表面および上記第2の多結晶シリコン層54に対して、ドーピング時間を9分間とする以外は先のシート抵抗値制御工程におけるドーピングと同一の条件でドーピングを行う。この工程により、既にパターンニングされた第2の多結晶シリコン層54については、ドーパント(リン)濃度が高くなり、ヘビードープ層H<sub>2</sub>となる。また、その第2の多結晶シリコン層54に被われていない第1の多結晶シリコン層52の露出部分については、

となり、これもヘビードープ層H<sub>1</sub>となる。続いて、第2の多結晶シリコン層54に覆われている第1の多結晶シリコン層52の部分については、ドーピング前のドーパント(リン)濃度のままでライトドープ層となる。続いて、図1(C)~(F)と同様にして目的のユニットキャパシタ構造とゲート電極3A(H<sub>1</sub>)および抵抗素子を有する半導体を有する半導体装置を得る。

【0059】このような半導体装置においては、上記のヘビードープ層3B(H<sub>1</sub>)に囲まれた第1の多結晶シリコン層52の部分は、ドーパント濃度が所定範囲に維持されており、ライトドープ層L<sub>1</sub>のままである。このライトドープ層3B(L<sub>1</sub>)はキャパシタの下部電極として機能し、このライトドープ層3B(L<sub>1</sub>)の上側のヘビードープ層5B(H<sub>2</sub>)はキャパシタの上部電極として機能しており、両ドープ層は層間絶縁層53を介してユニットキャパシタを構成する。複数のユニットキャパシタを集合して図2におけるSCFのC<sub>1</sub>またはC<sub>2</sub>を構成する。本実施例では、キャパシタの下部電極としてのライトドープ層3(L<sub>1</sub>)のシート抵抗が特定の範囲内に制御され、その表面に凹凸が生じていないものであるから、そのライトドープ層3(L<sub>1</sub>)がユニットキャパシタの比精度を低下させることはない。表面に凹凸の少ないライトドープ層L<sub>1</sub>を一方の電極としてユニットキャパシタに用いているので、その比精度を容易に引き上げることができ、ひいてはSCFの性能をも向上させることもできる。

【0060】上記実施例では、パターンニングされた第2の多結晶シリコン層54をヘビードープ層とするためのドーピングの時間を9分間としたが、これを4~9分間として任意にドーピング量を変えてもよい。この場合には、パターンニングされた第2のポリシリコン層54はヘビードープ層とはならず、その下側部分の第1の多結晶シリコン層52と同様にライトドープ層となる。しかし、この場合でもライトドープ層である第1の多結晶シリコン層52に隣接する部分は不純物濃度が高くなるため、ヘビードープ層となる。この場合においても、第1の多結晶シリコン層52のうちライトドープ層の部分はキャパシタの下部電極として機能することは上記実施例の場合と同様である。

【0061】なお、本実施例でも、第1の多結晶シリコン層52のみならず、第2の多結晶シリコン層54に対しても、ライトドープ層とするためのドーピングを行うこともできる。また、上記各実施例では、いずれも従来の薄層堆積技術、不純物拡散技術等を用いて製造することができるので、量産性に優れているという効果を奏する。さらに、上記各実施例では、ドーパントとしてリンを用いたが、これに限定されるものではない。

【0062】

【発明の効果】以上説明したように、本発明によれば、

ートをもった高速動作に優れたトランジスタと、多結晶シリコンの熱酸化層を層間絶縁層とし、多結晶シリコンを両電極とした電圧係数に優れたキャパシタとを形成することができる。また、多結晶シリコンへの高濃度不純物導入前にトランジスタのゲート酸化層を形成し、また金属シリサイド層形成前にキャパシタの層間絶縁層を形成することにより、不純物や金属シリサイドの汚染から、それぞれの絶縁層を防ぐと共に、ゲート酸化層の酸化と層間絶縁層の酸化を別個に行うことができるため、それぞれに適した酸化条件で形成することができ、信頼性の高い半導体装置を提供することができる。

【0063】また、第1のマスク体が上部電極の上面および側面を覆っているので、金属シリサイド層のエッチングの際の汚染を防ぐことができると共に、上部電極の不要なエッチングを防止することができる。

【0064】さらに、上記のトランジスタとキャパシタに加え、高抵抗の多結晶シリコンの単層構造を同一基板上に形成することができる。従って、電圧係数に優れたキャパシタと高抵抗率が必要な抵抗素と、高速性の要求されるゲート部、配線部を同一基板上に形成することが

【0065】さらに、ユニットキャパシタの下部電極のシート抵抗を $30 \sim 1000 \Omega/\square$ の範囲に制御するようにしたので、ユニットキャパシタの比精度を低下させることがなく、本発明が適用されるSCFの性能を向上させることが可能となる。また、第2の多結晶シリコン層をドーピングする際、第1の多結晶シリコンで形成されるゲート電極および抵抗体も低抵抗化される。従って、本発明により、ゲート電極等を低抵抗に保ったまま

ユニットキャパシタの比精度を低下させることなく、SCFの性能を向上させることが可能となる。

【0066】また、本発明は、第1、第2の多結晶シリコン層のドーピングを熱拡散法にて処理するため、量産性を維持したまま実施可能である。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の第1の実施例を説明するための工程図であって、(A)～(F)は各工程後の半導体装置の構成を示す概略断面図である。

【図2】一般的なSCFの構成を示す回路図である。

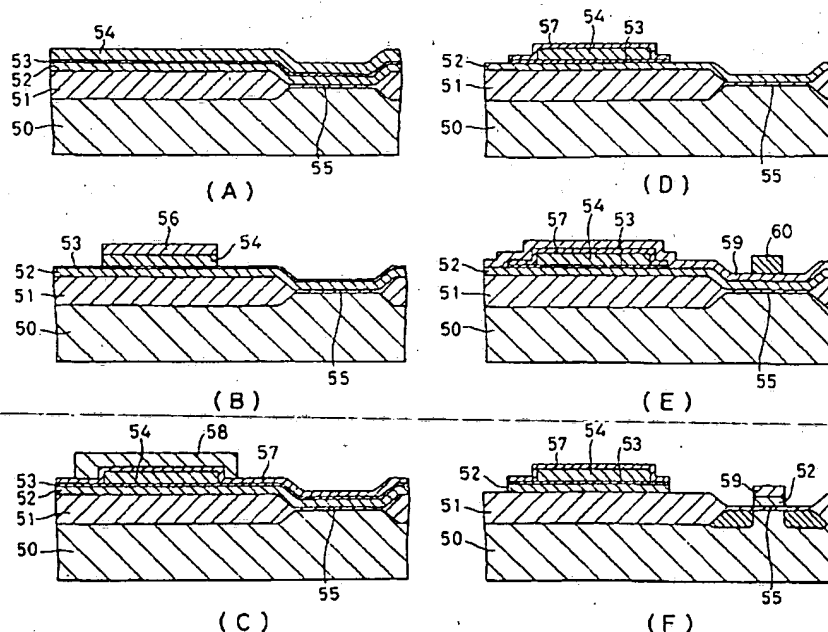
【図3】従来の半導体装置の製造方法の一例を説明するための工程図であって、(A)ないし(H)はそれぞれ各工程後の半導体装置の構成を示す概略断面図である。

【図4】従来の半導体装置の製造方法の一例を説明するための工程図であって、(A)ないし(I)はそれぞれ各工程後の半導体装置の構成を示す概略断面図である。

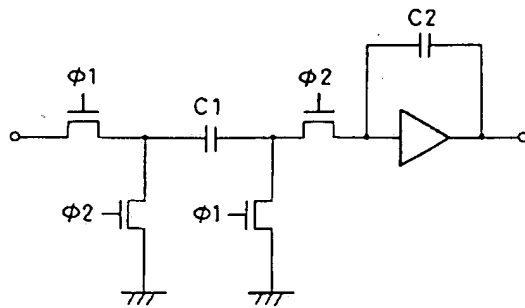
#### 【符号の説明】

- 50 半導体基板
- 51 フィールド酸化層
- 52 第1の多結晶シリコン層
- 53 層間絶縁層
- 55 ゲート酸化層
- 54 第2の多結晶シリコン層
- 56 レジスト
- 57 第1のマスク体（絶縁層、シリコン酸化層）
- 58 レジスト
- 59 金属シリサイド層
- 60 第2のマスク体（レジスト）

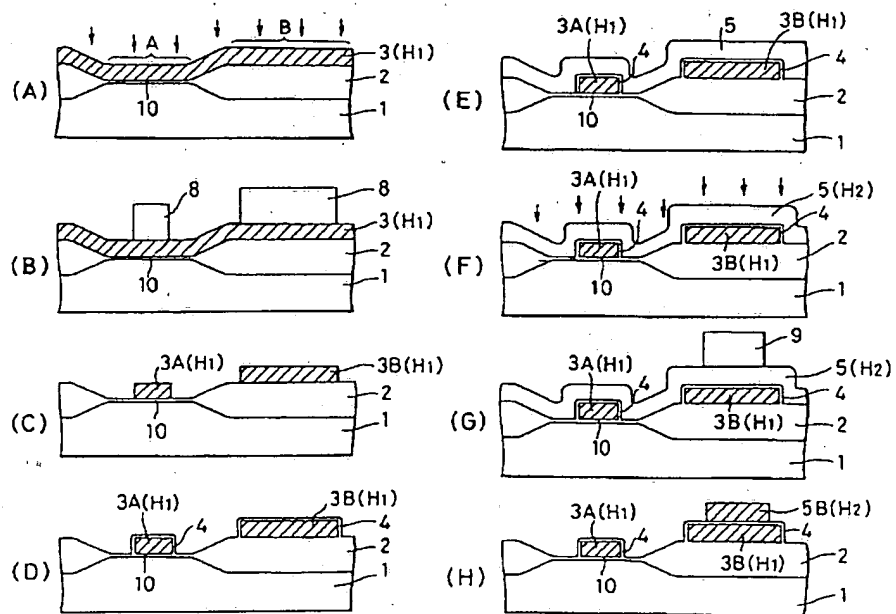
【図1】



【図 2】



【図 3】



【図4】

